

(19) Japan Patent Office (JP)
 (12) Publication of Patent Application (A)
 (11) Publication Number: H7-161816
 (43) Publication Date: June 23, 1995

5 (51) Int. Cl.⁶ Identification Code JPO File Number FI Technical Indications
 H01L 21/768
 21/3205

H01L 21/90 C
 21/88 F
 21/90 K

10 Request for Examination: not requested

Number of Claims: 3 FD (6 pages in total)

(21) Application Number: H5-340041

(22) Filing Date: December 7, 1993

15 (71) Applicant: 000002185
 Sony Corporation
 6-7-35 Kitashinagawa, Shinagawa-ku, Tokyo

(72) Inventor: Yasutaka NAGAKARI
 c/o Sony Kokubu Corporation

20 5-1 Noguchi-kita, Kokubu-shi, Kagoshima

(74) Agent: Patent attorney, Harutoshi SUZUKI

(54) Title of the Invention: SEMICONDUCTOR DEVICE

(57)[Abstract]

25 [Object]
 A shape of a side surface of a contact hole of a semiconductor device is made smooth to prevent the disconnection failure of a wiring and cracks.

[Constitution]

30 A semiconductor device includes an integrated transistor element 2 formed over a substrate 1. The transistor element 2 is covered with an interlayer insulating film 6 containing an impurity. In addition, a wiring 8 is electrically connected to the transistor element 2 through a contact hole 7 opened in the interlayer insulating film 6.

An upper portion of the interlayer insulating film 6 contains an impurity at a high concentration, and a lower portion of the interlayer insulating film 6 contains an impurity at a low concentration. The contact hole 7 having a tapered shape can be opened by etching.

5 [Scope of Claims]

[Claim 1]

A semiconductor device comprising an integrated transistor element which is formed over a substrate, an interlayer insulating film which covers the transistor element and contains an impurity, and a wiring which is connected to the transistor element through a contact hole opened in the interlayer insulating film is characterized in that an upper portion of the interlayer insulating film contains an impurity at a high concentration, a lower portion of the interlayer insulating film contains an impurity at a low concentration, and the contact hole having a tapered shape can be opened by etching.

10 15 [Claim 2]

The semiconductor device according to claim 1 is characterized in that the transistor element is a thin film transistor element formed using a semiconductor thin film formed over an insulating substrate.

[Claim 3]

20 The semiconductor device according to claim 1 is characterized in that the interlayer insulating film is a glass film containing phosphorus or boron as an impurity.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

25 The present invention relates to a semiconductor device which includes an integrated transistor element formed over a substrate. More specifically, the present invention relates to a structure of a contact hole formed in an interlayer insulating film which covers a transistor element.

[0002]

30 [Prior Art]

In order to clarify the background of the present invention, a general manufacturing method and a general structure of the conventional semiconductor device

are briefly described with reference to FIG. 6. As illustrated in the drawing, in a process A, a gate electrode 103 is formed by patterning over a surface of a P- type semiconductor substrate 101 with a gate insulating film 102 interposed therebetween. An impurity ion is injected into both sides of the gate electrode 103 at a high 5 concentration, for example, with an ion implantation method, thereby forming an N+ type source region 104 and an N+ type drain region 105. Through the above steps, a basic structure of an insulated-gate field-effect thin film transistor element can be obtained. A surface of this thin film transistor element is covered with an interlayer insulating film 106. The interlayer insulating film 106 is formed using a glass film 10 10 (PSG, BSG, or BPSG) containing phosphorus or boron as an impurity. Such a glass film containing an impurity flows by heat treatment and contributes to planarization of a surface of the semiconductor substrate 101 by a reflow effect. In particular, when phosphorus is contained as an impurity, it is possible to block an Na ion and the like which adversely affect operation characteristics of the thin film transistor element.

15 [0003]

Next, in a process B, a resist 107 is applied to the interlayer insulating film 106. Then, the photoresist 107 is subjected to light exposure and development treatment to be patterned into a predetermined shape. After that, wet etching is performed using the patterned photoresist 107 so that a contact hole 108 is opened in the interlayer insulating 20 film 106.

[0004]

Lastly, in a process C, the used photoresist 107 is removed, and then a metal film is formed. This metal film is patterned into a predetermined shape and is processed into a wiring 109 which is electrically connected to the source region 104 and the drain region 105.

[0005]

[Problems to be Solved by the Invention]

Next, problems of the conventional structure are briefly described with reference to FIG. 6. As described in the process B, the photoresist 107 is applied to the 30 interlayer insulating film 106 in order to open the contact hole 108. In general, adhesion between the interlayer insulating film 106 and the photoresist 107 is favorable.

Therefore, when the interlayer insulating film 106 is etched by wet etching using the photoresist 107, the etching rate in the vicinity of the bonding interface is lower than that of the inside. As a result, an overhang 110 is generated at an end portion of the opened contact hole 108. As described in the process C, there is a problem in that the 5 step coverage of the wiring 109 becomes poor due to this overhang 110, which causes the disconnection failure and the like. In addition, stress is concentrated on the curved side surface of the contact hole 108, which causes generation of cracks. There is a problem in that the transistor element is impregnated with a chemical solution such as an etchant through these cracks and contaminated.

10 [0006]

[Means for Solving the Problems]

The following means are proposed in order to solve the above problems of the conventional technique. That is, a semiconductor device according to the present invention includes transistor elements integrated and formed on a substrate as a basic structure. Each transistor element is covered with an interlayer insulating film containing an impurity. A wiring is connected to each of the transistor elements through a contact hole opened in this interlayer insulating film. As features of the 15 present invention, an upper portion of the interlayer insulating film contains an impurity at a high concentration, and a lower portion of the interlayer insulating film contains an impurity at a low concentration. The contact hole having a tapered shape can be opened by etching. The transistor elements are integrated and formed on a 20 semiconductor substrate. Alternatively, the transistor element may be a thin film transistor element formed using a semiconductor thin film formed over an insulating substrate. The interlayer insulating film is formed using a glass film containing 25 phosphorus or boron as an impurity.

[0007]

[Operation]

In general, when an interlayer insulating film is etched by wet etching, the etching rate becomes higher in proportion to the impurity concentration. Thus, in the 30 present invention, a lower portion of the interlayer insulating film contains an impurity at a low concentration so that the etching rate becomes relatively low while an upper portion of the interlayer insulating film contains an impurity at a high concentration so

that the etching rate becomes high. Accordingly, regardless of strong adhesion between the interlayer insulating film and the photoresist, the upper portion of the interlayer insulating film is etched rapidly while wet etching of the lower portion of the interlayer insulating film is slow. As a result, a side surface of a contact hole opened 5 in the interlayer insulating film has a smooth tapered shape and the step coverage of a wiring of an upper layer is improved, which can prevent the disconnection failure. In addition, concentration of stress can be eased and thus generation of cracks can be suppressed, whereby impetration with a chemical solution and the like can be prevented. [0008]

10 [Example]

Favorable examples of the present invention are described in detail below with reference to drawings. FIG. 1 is a schematic cross-sectional view of a first example of the semiconductor device according to the present invention. The integrated insulated-gate field-effect transistor element 2 is formed over the semiconductor substrate 1 formed using single crystalline silicon or the like. In this example, only the N-channel transistor element 2 is described as an example for convenience; however, it is needless to say that an integrated P-channel transistor element can also be formed at the same time. A gate electrode 4 is formed by patterning over a surface of the P- type semiconductor substrate 1 with a gate insulating film 3 interposed therebetween. N+ type impurity regions 5 are formed on both sides of the gate electrode 4 and serve as a source and a drain.

[0009]

The transistor element 2 is covered with the interlayer insulating film 6 containing an impurity. The wiring 8 which is connected to an impurity region 5 of the transistor element 2 through the contact hole 7 opened in the interlayer insulating film 6 is provided. As features of the present invention, the upper portion of the interlayer insulating film 6 contains an impurity at a high concentration, and the lower portion of the interlayer insulating film 6 contains an impurity at a low concentration. In this example, the interlayer insulating film 6 has a three-layer structure: an upper layer 6u contains an impurity at a relatively high concentration; a middle layer 6m contains an impurity at an intermediate concentration; and a lower layer 6l contains an impurity at a

5 relatively low concentration. Note that the present invention is not limited to the three-layer structure, and the number of layers can be selected as appropriate. In addition, the present invention is not limited to a layer structure in which the impurity concentration is sequentially distributed, and the impurity concentration may be changed in a depth direction successively.

[0010]

10 When a high concentration of an impurity is distributed in the upper portion of the interlayer insulating film 6 and a low concentration of an impurity is distributed in the lower portion of the interlayer insulating film 6, the contact hole 7 having a tapered shape can be opened by wet etching. That is, as wet etching proceeds in a depth direction, the etching rate becomes low. Accordingly, a side surface of the contact hole 7 has a smooth tapered shape. On the other hand, the upper portion is etched rapidly; thus, the overhang is not generated. Therefore, the step coverage of the wiring 8 is improved. Note that in this example, a glass film containing an impurity 15 phosphorus or boron is used as the interlayer insulating film 6.

[0011]

20 Next, a method for manufacturing the semiconductor device illustrated in FIG. 1 is described in detail with reference to FIG. 2 and FIG. 3. First, in the process A, the gate insulating film 3 is formed over the surface of the semiconductor substrate 1 which is formed using P- type single crystalline silicon. In this example, the surface of the semiconductor substrate 1 is subjected to thermal oxidation treatment in order to form an SiO_2 film, and then SiN is deposited. Then, in the process B, a polycrystalline silicon film 9 is formed over a surface of the gate insulating film 3. This polycrystalline silicon film 9 is doped with an impurity and the resistance thereof 25 decreases. After that, in the process C, the polycrystalline silicon film is patterned into a predetermined shape by photolithography and etching and processed into the gate electrode 4. At the same time, the gate insulating film 3 is also cut into a predetermined shape. Moreover, in a process D, an N-type impurity is injected with ion implantation to form the N+ impurity regions 5 as a source and a drain. Through 30 the above steps, a basic structure of the transistor element 2 can be obtained.

[0012]

Next, in a process E of FIG. 3, the transistor element 2 is covered with the interlayer insulating film 6. In this example, a three-layer structure including 6u, 6m, and 6l is obtained by sequentially changing the concentration of an impurity such as phosphorus or boron. The interlayer insulating film 6 is formed, for example, with a chemical vapor deposition method (CVD method). By controlling the composition of a source gas, the interlayer insulating film 6 in which the upper portion 6u contains an impurity at a high concentration and the lower portion 6l contains an impurity at a low concentration is obtained. Next, in a process F, a photoresist 10 is applied to the interlayer insulating film 6. After baking, light exposure and development are performed to pattern the photoresist 10. As a result, part of a surface of the interlayer insulating film 6 is exposed. Further, in a process G, the exposed interlayer insulating film 6 is etched by wet etching using the photoresist 10 in order to open the contact hole 7. As illustrated in drawings, the side surface of the contact hole 7 has a smooth tapered shape. Therefore, the overhang is not included. Lastly, in a process H, the unnecessary photoresist 10 is removed, and then aluminum is deposited by sputtering. This aluminum is patterned into a predetermined shape and processed into the wiring 8. In general, aluminum is a material with poor step coverage; however, according to the present invention, the contact hole 7 has a smooth tapered shape. Accordingly, the disconnection failure and the like are not caused.

20 [0013]

Next, a method for controlling the concentration of an impurity in the interlayer insulating film is described in detail. As described above, a glass film (PSG, BSG, or BPSG) containing phosphorus or boron is formed with a CVD method. In the CVD method, chemical vapor deposition is performed using a mixed gas of a source gas (SiH₄ or the like) and an impurity gas (PH₃, B₂H₆, TMP, TMB, TMOP, or the like). At this time, the flow rate of an impurity gas is set to be low at the early stage of formation of the film. For example, the impurity concentration at the stage of formation of the film is set to 0 ~ 10 wt%. The flow rate of the impurity gas at the late stage of formation of the film is set to be higher than that of the early stage of formation of the film. Specifically, the flow rate of the impurity gas is controlled such that the impurity concentration of the upper layer of the interlayer insulating film is at least 0.5

wt% or more higher than the impurity concentration of the lower layer of the interlayer insulating film.

[0014]

FIG. 4 illustrates an example in which an interlayer insulating film is formed using a continuous single-wafer CVD apparatus. The continuous single-wafer CVD apparatus includes a plurality of source gas ejection outlets 22 in a chamber 21. In the chamber 21, the substrate 1 which is subjected to treatment is mounted on a conveyor 23 and moved from an upstream side to a downstream side. In this case, when the substrate 1 passes through the first source gas ejection outlet, a film containing an impurity of 4.0 wt% is formed to a thickness of at least 20 nm or more. When the substrate 1 passes through the second source gas ejection outlet, an insulating film containing more impurities than the first layer is formed. When the substrate 1 passes through the last source gas ejection outlet, an insulating film containing an impurity of at least 4.5 wt% is formed to a thickness of at least 20 nm. Through the above steps, an interlayer insulating film in which the impurity concentration is sequentially increased and distributed from the lowermost layer to the uppermost layer can be formed.

[0015]

Note that in the case where a batch treatment CVD apparatus is used, first, an inside of a reaction furnace is purged using an inert gas, and then film formation is started. First, an insulating film containing an impurity of 4.0 wt% is formed to a thickness of at least 20 nm. In accordance with the predetermined treatment program, in the next step, the number of impurities to be contained is made larger than that of the first layer. Lastly, an insulating film containing an impurity of at least 4.5 wt% is formed to a thickness of 20 nm. Through the above steps, an interlayer insulating film in which the impurity concentration is sequentially or successively increased and changed from the lowermost layer to the uppermost layer can be formed.

[0016]

FIG. 5 is a cross-sectional view of a second example of the semiconductor device according to the present invention. It basically has a structure similar to that of the first example illustrated in FIG. 1. Corresponding portions are denoted by the

same reference numerals to facilitate the understanding. The different point is that an integrated circuit is formed using a thin film semiconductor element 2a. Therefore, in this example, an insulating substrate 1a formed using glass, quartz, or the like is used instead of the semiconductor substrate 1. A semiconductor thin film 51 formed using 5 polysilicon, amorphous silicon, or the like is patterned into a predetermined shape over a surface of the insulating substrate 1a. The gate electrode 4 is formed by patterning over the semiconductor thin film 51 with the gate insulating film 3 interposed therebetween. The semiconductor thin film 51 has a P- type and includes a channel region right under the gate electrode 4. N+ type impurity regions 52 are provided on 10 both sides thereof and serve as a source and a drain. The wiring 8 is electrically connected to the impurity region 52 through the contact hole 7 opened in the interlayer insulating film 6. As described above, the upper portion of the interlayer insulating film 6 contains an impurity at a high concentration, and the lower portion of the interlayer insulating film 6 contains an impurity at a low concentration. The contact 15 hole 7 opened by wet etching has a smooth tapered shape. Accordingly, the step coverage of the wiring 8 formed using aluminum or the like is favorable, and the probability of occurrence of the disconnection failure becomes low. In particular, in the case of the thin film transistor element 2a, the film stress increases. Thus, the contact hole 7 with a tapered shape has an advantage in terms of prevention of cracks 20 and the like.

[0017]

[Effect of the Invention]

In general, the etching rate of an interlayer insulating film (PSG, BSG, or BPSG) becomes higher in proportion to the impurity concentration. Thus, in the 25 present invention, the concentration of an impurity in the interlayer insulating film is controlled such that the lower portion of the interlayer insulating film contains an impurity at a low concentration and the upper portion of the interlayer insulating film contains an impurity at a high concentration. Accordingly, the side surface of the contact hole opened by wet etching has a smooth tapered shape, which has an effect of 30 preventing the disconnection failure of the wiring, impregnation with a chemical solution, and the like.

[Brief Description of the Drawings]

[FIG. 1] A cross-sectional view of the first example of the semiconductor device according to the present invention.

[FIG. 2] Process views of the manufacturing method of the first example.

5 [FIG. 3] Process views of the manufacturing method of the first example as well.

[FIG. 4] A schematic view of a method for forming an interlayer insulating film.

[FIG. 5] A cross-sectional view of the second example of the semiconductor device according to the present invention.

[FIG. 6] Explanatory views of a manufacturing method and a structure of the 10 conventional semiconductor device.

[Description of Reference Numerals]

1 semiconductor substrate

2 transistor element

3 gate insulating film

15 4 gate electrode

5 impurity region

6 interlayer insulating film

7 contact hole

8 wiring

20 10 photoresist

Family list

1 application(s) for: JP7161816

1 SEMICONDUCTOR DEVICE

Inventor: NAGAKARI YASUTAKA

EC:

Publication: JP7161816 (A) - 1995-06-23
Info:

Applicant: SONY CORP

IPC: H01L21/3205; H01L21/768; H01L23/522;
(+5)

Priority Date: 1993-12-07

Data supplied from the **espacenet** database — Worldwide

SEMICONDUCTOR DEVICE

Publication number: JP7161816 (A)

Publication date: 1995-06-23

Inventor(s): NAGAKARI YASUTAKA +

Applicant(s): SONY CORP +

Classification:

- International: H01L21/3205; H01L21/768; H01L23/522; H01L21/02; H01L21/70; H01L23/52;
(IPC1-7): H01L21/768; H01L21/3205

- European:

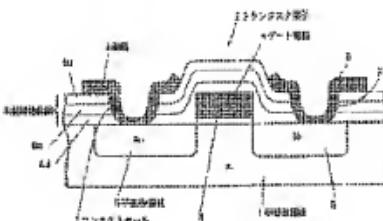
Application number: JP19930340041 19931207

Priority number(s): JP19930340041 19931207

Abstract of JP 7161816 (A)

PURPOSE: To prevent the disconnection fault of an interconnection and to prevent a crack by a method wherein the edge shape of a contact hole in a semiconductor device is made smooth.

CONSTITUTION: A semiconductor device contains a transistor element 2 which has been integrated and formed on a substrate 1. The transistor element 2 is covered with an interlayer insulating film 6 which contains impurities. In addition, an interconnection 8 is connected electrically to the transistor element 2 via a contact hole 7 which has been opened in the interlayer insulating film 6. The interlayer insulating film 6 is formed in such a way that its impurity-contained concentration is high at the upper part and that its impurity-contained concentration is low at the lower part, and the contact hole 7 which is taper-shaped can be opened by an etching operation.



(51) Int.Cl. ⁸ H 01 L 21/768 21/3205	識別記号 H 01 L 21/90 21/ 88 21/ 90	序内整理番号 F I	技術表示箇所 C F K
	審査請求 未請求 請求項の数 3	FD (全 6 頁)	
(21)出願番号 特願平5-340041	(71)出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号		
(22)出願日 平成5年(1993)12月7日	(72)発明者 永坂 靖貴 鹿児島県国分市野口北5番地1号 ソニー 国分株式会社内		(74)代理人 弁理士 鈴木 靖敏

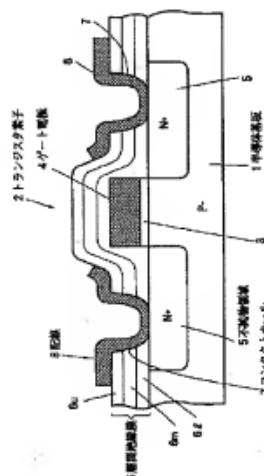
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体装置のコンタクトホール端面形状を滑らかにし配線の断線故障及びクラックを防止する。

【構成】 半導体装置は基板1上に集積形成されたトランジスタ素子2を含んでいる。トランジスタ素子2は不純物を含有した層間絶縁膜6により被覆されている。

又、層間絶縁膜6に開口したコンタクトホール7を介して配線8がトランジスタ素子2に電気接続している。層間絶縁膜6は上部で高く下部で低い不純物含有濃度を有しており、エッチングによりテーパ状のコンタクトホール7を開口可能としている。



【特許請求の範囲】

【請求項1】 基板上に集積形成されたトランジスタ素子と、該トランジスタ素子を被覆する不純物含有の層間絶縁膜と、該層間絶縁膜に開口したコンタクトホールを介して該トランジスタ素子に接続する配線とを有する半導体装置において、

前記層間絶縁膜は上部で高く下部で低い不純物含有濃度を有しており、エッチャリングによりテーパ状のコンタクトホールを開口可能である事を特徴とする半導体装置。

【請求項2】 前記トランジスタ素子は、絶縁基板上に成膜された半導体薄膜に形成した薄膜トランジスタ素子である事を特徴とする請求項1記載の半導体装置。

【請求項3】 前記層間絶縁膜は、不純物としてリン又はボロンを含有するガラス膜である事を特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は基板上に集積形成されたトランジスタ素子からなる半導体装置に関するもの。より詳しくは、トランジスタ素子を被覆する層間絶縁膜に形成されるコンタクトホールの構造に関するもの。

【0002】

【從来の技術】 本発明の背景を明らかにする為、図6を参照して從来の半導体装置の一般的な製造方法及び構造を簡潔に説明する。図示する様に工程Aで、P-型の半導体基板101の表面に、ゲート絶縁膜102を介してゲート電極103をパターニングする。ゲート電極103の両側に例えばイオン注入法で不純物イオンを高濃度注入し、N+型のソース領域104及びドレイン領域105を形成する。以上により絶縁ゲート電界効果型の薄膜トランジスタ素子の基本構造が得られる。この薄膜トランジスタ素子の表面を層間絶縁膜106で被覆する。層間絶縁膜106は不純物としてリン又はボロンを含むガラス膜(PSG, BSG, BPSG)からなる。これらの不純物含有ガラス膜は加熱処理により流動しリフロー効果を奏して、半導体基板101表面の平坦化に寄与する。特に不純物としてリンを含有させた場合には、薄膜トランジスタ素子の動作特性に悪影響を及ぼすNa+イオン等を遮断する事ができる。

【0003】 次に工程Bで、層間絶縁膜106の上にレジスト107を塗布する。次いでフォトレジスト107を露光現像処理し所定の形状にパターニングする。続いてパターニングされたフォトレジスト107を介してウェットエッチャリングを行ない、層間絶縁膜106にコンタクトホール108を開口する。

【0004】 最後に工程Cで、使用済みとなったフォトレジスト107を除去した後金属性膜を成膜する。この金属膜を所定の形状にパターニングして、ソース領域104及びドレイン領域105に電気接続する配線109に加工する。

【0005】

【発明が解決しようとする課題】 引き続き図6を参照して從来構造の問題点を簡潔に説明する。工程Bに示す様に、コンタクトホール108を開口する為層間絶縁膜106の上にはフォトレジスト107が塗布される。一般に層間絶縁膜106とフォトレジスト107の密着性は良好である。この為、フォトレジスト107を介して層間絶縁膜106のウェットエッチャリングを行なった場合、接着界面近傍のエッチャリング速度が内部に比べて遅くなる。この結果開口したコンタクトホール108の端部にオーバーハング110が生じる。工程Cに示す様に、このオーバーハング110により配線109のステップカバレッジが悪くなり断線故障等の原因になるという課題がある。又、コンタクトホール108の端部にストレスが集中しクラックが発生する原因となる。このクラックを介してエッチャリング処理液等の薬液が滲み込み、トランジスタ素子を汚染するという課題がある。

【0006】

【課題を解決するための手段】 上述した從来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる半導体装置は基本的な構成として基板上に集積形成されたトランジスタ素子を含んでいる。個々のトランジスタ素子は不純物を含有した層間絶縁膜により被覆されている。この層間絶縁膜に開口したコンタクトホールを介して配線が個々のトランジスタ素子に接続している。本発明の特徴事項として、前記層間絶縁膜は上部で高く下部で低い不純物含有濃度を有しており、エッチャリングによりテーパ状のコンタクトホールを開口可能としている。前記トランジスタ素子は半導体基板上に集積形成されている。あるいは、絶縁基板上に成膜された半導体薄膜に形成した薄膜トランジスタ素子であっても良い。前記層間絶縁膜は不純物としてリン又はボロンを含有するガラス膜からなる。

【0007】

【作用】 一般に層間絶縁膜をウェットエッチャリングする場合、不純物含有濃度に比例してエッチャリング速度が速くなる。そこで本発明では層間絶縁膜下部の不純物含有濃度を低くする事によりエッチャリング速度を比較的遅くするとともに、層間絶縁膜上部の不純物含有濃度を高くする事によりエッチャリング速度を早めている。これによりフォトレジストとの強固な密着性に関わらず層間絶縁膜の上部は速やかにエッチャリングされる一方、下部でのウェットエッチャリングが程やかになる。この結果層間絶縁膜に開口したコンタクトホールの端面は滑らかなテーパ形状となり、上層配線のステップカバレッジが向上し断線故障が防げる。又ストレスの集中も緩和できるのでクラックの発生を抑制でき薬液の滲み込み等が防げる。

【0008】

【実施例】 以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる半導体装置の第

1実施例を示す模式的な断面図である。単結晶シリコン等からなる半導体基板1上に、絶縁ゲート電界効果型のトランジスタ素子2が集積形成されている。本例では簡単の為Nチャネル型のトランジスタ素子2のみを例示しているが、勿論Pチャネル型のトランジスタ素子も同時に集積形成できる。P-型の半導体基板1の表面に、ゲート絶縁膜3を介してゲート電極4がパタニング形成されている。ゲート電極4の両側にはN+型の不純物領域5が形成されており、ソース及びドレインとなる。

【0009】トランジスタ素子2は不純物を含有した層間絶縁膜6により被覆されている。層間絶縁膜6に開口したコンタクトホール7を介してトランジスタ素子2の不純物領域5に接続する配線8が設けられている。本発明の特徴事項として層間絶縁膜6は上部で高く下部で低い不純物含有濃度を有している。本例では層間絶縁膜6は三層構造となっており、上層6uは比較的高い不純物含有濃度を有し、中層6mは中間の不純物含有濃度を有し、下層6lは比較的低い不純物含有濃度を有している。なお本発明は三層構造に限られるものではなく層数は適宜選択可能である。又層構造として段階的に不純物含有濃度を分布させる場合に限られるものではなく、連續的に不純物含有濃度を深さ方向に沿って変化させても良い。

【0010】不純物含有濃度を層間絶縁膜6の上部で高く下部で低く分布させる事により、ウェットエッチングを行なった場合ゲーパー状のコンタクトホール7を開口する事が可能になる。即ちウェットエッチングが深さ方向に進行する程エッチング速度が速くなる為コンタクトホール7の端面が滑らかなテーパ状となる。一方上部は逆やかにエッチングされる為オーバーハングを生じない。これにより配線8のステップカバレッジが向上する。なお本例では層間絶縁膜6として不純物リン又はボロンを含有するガラス膜を用いている。

【0011】次に図2及び図3を参照して、図1に示した半導体装置の製造方法を詳細に説明する。先ず工程AでP-型の単結晶シリコンからなる半導体基板1の表面にゲート絶縁膜3を形成する。本例では、半導体基板1の表面を熱酸化処理してSiO₂膜を形成した後、Si₁N₀を堆積している。次に工程Bでゲート絶縁膜3の表面に多結晶シリコン膜9を堆積する。この多結晶シリコン膜9は不純物がドーピングされており抵抗値が高くなる。続いて工程Cでフォトリソングラフィ及びエッチングにより多結晶シリコン膜9を所定の形状にパタニングしゲート電極4に加工する。同時にゲート絶縁膜3も所定の形状にカッティングする。さらに工程Dにおいて、イオンインプランテーションによりN型の不純物を注入し、N+不純物領域5を形成してソース及びドレインとする。これによりトランジスタ素子2の基本的な構成が得られる。

【0012】次に図3の工程Eに移り、トランジスタ素

子2を層間絶縁膜6で被覆する。本例ではリン又はボロン等不純物の含有濃度を段階的に変化させて三層構造6u、6m、6lを得ている。層間絶縁膜6の成膜は例えば化学気相成長法(CVD法)を用いており、原料気体組成を調整する事により、上部6uで高く下部6lで低い不純物含有濃度を有する層間絶縁膜6を得ている。次に工程Fで、層間絶縁膜6の上にフォトレジスト10を塗布する。焼成した後、露光現像を行ないフォトレジスト10をパタニングする。これにより層間絶縁膜6の表面が部分的に露出する。さらに工程Gでフォトレジスト10を介し、露出した層間絶縁膜6をウェットエッチングレーザンタクトホール7を開口する。図示する様にコンタクトホール7の端面は滑らかなテーパ形状となってている。従ってオーバーハングも含まれていない。最後に工程Hで、不要になったフォトレジスト10を除去した後、アルミニウムをスパッタリングにより成膜する。このアルミニウムを所定の形状にパタニングして配線8に加工する。一般にアルミニウムはステップカバレッジが悪い材料であるにも関わらず、本発明によればコンタクトホール7が滑らかなテーパ形状を有している為、段切れや隙間等が発生しない。

【0013】次に、層間絶縁膜の不純物含有濃度制御方法に關し詳細に説明する。前述した様に、リン又はボロンを含有するガラス膜(PSG、BSG、BPSG)はCVD法により成膜される。CVD法では原料ガス(SiH₄等)と不純物ガス(PH₃、B₂H₆、TMB、TMOP等)の混合気体を用いて化学気相成長を行なう。この際、成膜の初期段階では不純物ガスの流量を少なくし、例えば成膜された段階で不純物含有濃度が0~10重量%となる様に設定する。成膜の最終段階では不純物ガスの流量を初期段階よりも多くする。具体的には、層間絶縁膜の上層不純物含有濃度は下層不純物含有濃度よりも少なくとも0~5重量%以上高くなる様に、不純物ガスの流量を制御する。

【0014】図4は連続式成膜CVD装置を用いて層間絶縁膜を成膜する例を示している。連続式成膜CVD装置はチャンバー21内に複数の原料気体噴出口22を有している。このチャンバー21に対して、処理対象となる基板1がコンベア23に搭載されて上流側から下流側に移動する。この際1番目の原料気体噴出口を通過する時点で、4~0重量%の不純物を含んだ少なくとも2.0nm以上の成膜を行なう。2番目の原料気体噴出口を通過する際には1番よりも多くの不純物を含んだ絶縁膜を成膜する。最終番目の原料気体噴出口を通過する際には、少なくとも4~5重量%の不純物を含んだ絶縁膜を少なくとも2.0nm堆積する。これにより最下層から最上層まで段階的に不純物含有濃度が増加した分布を有する層間絶縁膜を生成する事ができる。

【0015】なおバッチ処理式CVD装置を用いた場合には、先ず反応炉内を不活性ガスでバージした後成膜を

開始する。最初に4.0重量%の不純物を含んだ絶縁膜を少なくとも2.0nm形成する。所定の処理プログラムに従って次のステップでは1層目よりも不純物含有量を多くしていく。最後に不純物を少なくとも4.5重量%含んだ絶縁膜を2.0nm形成する。これにより最下層から最上層まで段階状にもしくは連続的に不純物濃度が増大変化した層間絶縁膜を生成する事ができる。

【0016】図5は本発明にかかる半導体装置の第2実施例を示す断面図である。基本的には図1に示した第1実施例と同様な構成を有しており、対応する部分には対応する参照番号を付して理解を用意している。異なる点は、集積回路が薄膜半導体素子2aにより構成されている事である。従って本例では半導体基板1に代えてガラス又は石英等からなる絶縁基板1aが用いられている。絶縁基板1aの表面上には、ポリシリコン又はアモルファスシリコン等からなる半導体薄膜51が所定の形状にパターニングされている。半導体薄膜51の上にはゲート絶縁膜3を介してゲート電極4がパターニング形成されている。ゲート電極4の直下において半導体薄膜51はP-型となっておりチャネル領域を構成する。その両側にはN+型の不純物領域52が設けられソース及びドレインとなる。不純物領域52には層間絶縁膜6に開口したコンタクトホール7を介して配線8が電気接続している。前述した様に層間絶縁膜6は上部で高く下部で低い不純物含有濃度を有しており、ウエットエッチングにより開口したコンタクトホール7は滑らかなテバ形状となっている。従ってアルミニウム等からなる配線8のステップカバレッジは良好であり断線事故の発生確率が低くなる。特に薄膜トランジスタ素子2aの場合摩耗ストレスが増大する為クラック等を防止する観点から、テバ形状を有するコンタクトホール7は有利である。

【0017】

【発明の効果】一般に層間絶縁膜（P.S.G. B.S.G. B.P.S.G.）は不純物含有濃度に比例してエッチャング速度が速くなる。そこで本発明では、層間絶縁膜の不純物含有濃度を下部で高く上部で高くなる様に制御し、ウェットエッチャングにより開口したコンタクトホールの端面を滑らかなテバ形状にしている。これにより配線の断線故障や薬液の滲み込み等を防ぐ事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の第1実施例を示す断面図である。

【図2】第1実施例の製造方法を示す工程図である。

【図3】同じく第1実施例の製造方法を示す工程図である。

【図4】層間絶縁膜の成膜方法を示す模式図である。

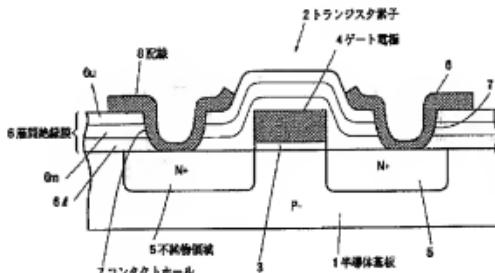
【図5】本発明にかかる半導体装置の第2実施例を示す断面図である。

【図6】従来の半導体装置の製造方法及び構造を示す説明図である。

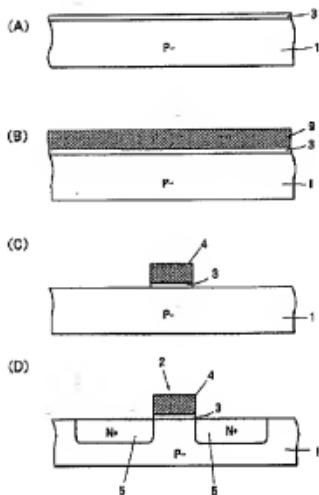
【符号の説明】

- 1 半導体基板
- 2 トランジスタ素子
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 不純物領域
- 6 層間絶縁膜
- 7 コンタクトホール
- 8 配線
- 10 フォトレジスト

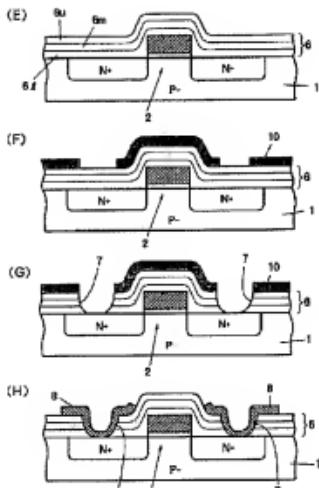
【図1】



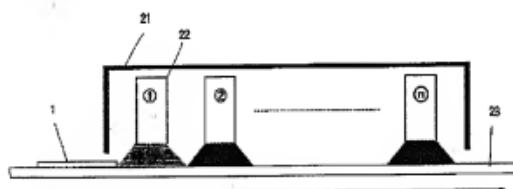
【図2】



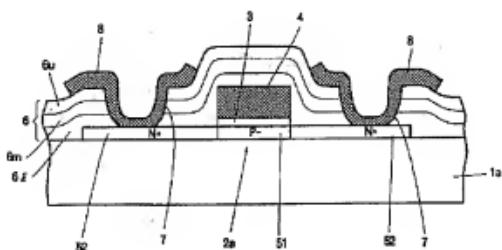
【図3】



【図4】



【図5】



【図6】

